

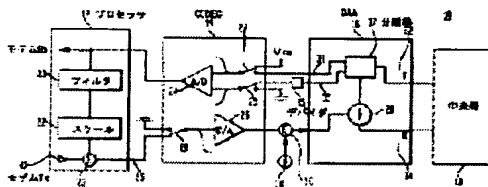
METHOD AND DEVICE FOR ADJUSTING DC LINE CURRENT IN TELEPHONE LINE

Patent number: JP2001103126
Publication date: 2001-04-13
Inventor: JONATHAN HELLMAN FISHER; LATURELL DONALD
R; RENE A SMITH; STEVEN BURUUKU WITTOMAA
Applicant: LUCENT TECHNOLOGIES INC
Classification:
- international: H04M1/00; H04L25/03; H04M1/738; H04M19/08;
H04M1/00; H04L25/03; H04M1/738; H04M19/08; (IPC1-
7): H04M1/00; H04L25/03; H04M1/738; H04M19/08
- european:
Application number: JP20000249208 20000821
Priority number(s): US19990378771 19990820

Report a data error here

Abstract of JP2001103126

PROBLEM TO BE SOLVED: To eliminate the occurrence of an error due to a DC offset in an analog circuit caused when a DC line current of a telephone line is adjusted. **SOLUTION:** The method and the system are to adjust a DC line current in a telephone line and to reduce the quantity of errors introduced to a system. Compensating a DC error component introduced by an A/D converter having a DC offset can reduce the error. A software program can limit the DC error according to predetermined parameters through digital control of the DC offset. The predetermined parameters are selected to cover specifications in various countries in place of a switch controlling resistors and capacitors. Furthermore, even when a standard of a country is changed, the software program can cope with the change in place of replacing components or redesigning a printed circuit board.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-103126

(P2001-103126A)

(43) 公開日 平成13年4月13日 (2001.4.13)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 4 M 1/00

H 0 4 M 1/00

A

H 0 4 L 25/03

H 0 4 L 25/03

Z

H 0 4 M 1/738

H 0 4 M 1/738

19/08

19/08

審査請求 未請求 請求項の数29 O L (全 15 頁)

(21) 出願番号 特願2000-249208 (P2000-249208)

(22) 出願日 平成12年8月21日 (2000.8.21)

(31) 優先権主張番号 09/378771

(32) 優先日 平成11年8月20日 (1999.8.20)

(33) 優先権主張国 米国 (US)

(71) 出願人 596077259

ルーセント テクノロジーズ インコーポ
レイテッド

Lucent Technologies
Inc.

アメリカ合衆国 07974 ニュージャージ
ー、マレーヒル、マウンテン アベニュー
600-700

(72) 発明者 ジョナサン ヘルマン フィッシャー

アメリカ合衆国、19510 ペンシルバニア、
ブランドン、ダマスкас ロード 58

(74) 代理人 100081053

弁理士 三俣 弘文

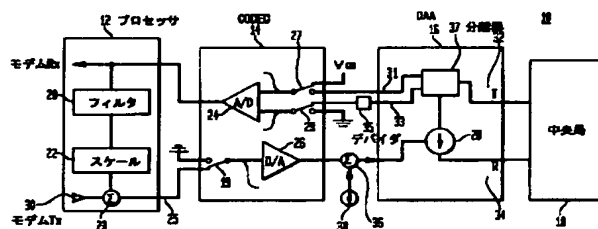
最終頁に続く

(54) 【発明の名称】 電話回線における直流回線電流の調整方法及び調整装置

(57) 【要約】

【課題】 電話回線における直流回線電流の調整の際にアナログ回路の直流オフセットによるエラーを解消する。

【解決手段】 電話回線における直流回線電流の調整をするとともに、システムに導入されるエラーの量を削減する方法及び装置である。直流オフセットをもつアナログ・デジタル・コンバータによって導入される直流エラー成分に対する補償によりエラーを削減する。直流オフセットはデジタル的に制御され、あらかじめ定められたパラメータに従って、ソフトウェアが直流エラーを制限することができる。あらかじめ定められたパラメータは、抵抗やキャパシタを制御するスイッチの代わりであり、様々な国の仕様を収容するように設定することができる。さらに、国の規格が変わった場合でも、部品を交換したり回路基板の再設計をする代わりに、ソフトウェアで対応することができる。



【特許請求の範囲】

【請求項1】 電話回線における直流回線電流を調整する方法であって、

A)通信機器と電話会社の中央局とのインターフェースをとるステップと、

B)前記電話回線により前記通信機器に対して賦課された直流電圧に相当し、前記電話回線における直流回線電流を調整するためにフィードバックループにおいて使用される第1のアナログ信号を前記通信機器から抽出するステップと、

C)前記第1のアナログ信号を第1の回路で使用する第1のデジタル信号に変換するステップと、

D)前記第1のアナログ信号を前記第1のデジタル信号に変換する前記ステップによって導入された直流オフセットを測定するステップと、

E)前記直流オフセットを記憶するステップと、

F)将来の演算から前記直流オフセットを差し引くステップと、

G)前記第1のデジタル信号にフィルタ処理を施して第2のデジタル信号にするステップと、

H)前記第2のデジタル信号を第2のアナログ信号に変換するステップと、

I)電話回線における直流回線電流を制御する電流源を前記第2のアナログ信号で調整するステップと、を有することを特徴とする電話回線における直流回線電流の調整方法。

【請求項2】 前記測定するステップは、

D1)既知の値をもつ第3のアナログ信号を前記第1の回路で使用する第3のデジタル信号に変換するステップと、

D2)前記第3のデジタル信号と既知のデジタル信号との間の差分を測定するステップと、を有することを特徴とする請求項1記載の電話回線における直流回線電流の調整方法。

【請求項3】 前記既知のデジタル信号は、前記直流オフセットがない場合の前記第3のアナログ信号を変換したものであることを特徴とする請求項2記載の電話回線における直流回線電流の調整方法。

【請求項4】 前記第3のアナログ信号はゼロであり、前記第3のデジタル信号はゼロであることを特徴とする請求項3記載の電話回線における直流回線電流の調整方法。

【請求項5】 前記直流オフセットを記憶する前記ステップは、前記直流オフセットをデジタル記憶レジスタに書き込むことにより果たされることを特徴とする請求項1記載の電話回線における直流回線電流の調整方法。

【請求項6】 前記将来の演算から前記直流オフセットを差し引く前記ステップは、プロセッサにより実行されることを特徴とする請求項1記載の電話回線における直流回線電流の調整方法。

【請求項7】 フィルタ処理を施す前記ステップは、プロセッサにより実行されることを特徴とする請求項1記載の電話回線における直流回線電流の調整方法。

【請求項8】 アナログからデジタルに変換する前記ステップは、アナログ・デジタル・コンバータにより実行され、デジタルからアナログに変換する前記ステップは、デジタル・アナログ・コンバータにより実行されることを特徴とする請求項1記載の電話回線における直流回線電流の調整方法。

10 【請求項9】 フィルタ処理を施す前記ステップは、デジタル・プロセッシング回路により実行されることを特徴とする請求項1記載の電話回線における直流回線電流の調整方法。

【請求項10】 前記デジタル・プロセッシング回路は、あらかじめ定められているプログラムを用いて前記第1のデジタル信号を処理することを特徴とする請求項9記載の電話回線における直流回線電流の調整方法。

20 【請求項11】 J)電流源制御信号を生成するために前記第2のデジタル信号とデータ信号とを合成するステップと、K)前記第2のアナログ信号を生成するために前記電流源制御信号を変換するステップと、をさらに有することを特徴とする請求項1記載の電話回線における直流回線電流の調整方法。

【請求項12】 前記各ステップの加えてさらに、前記通信機器に賦課されている直流電圧の変化と前記電流源によって制御されている直流回線電流との関係を調整するために前記第2のデジタル信号をスケーリングするステップを有することを特徴とする請求項1記載の電話回線における直流回線電流の調整方法。

30 【請求項13】 電話回線における直流回線電流を調整する装置であって、

A)交流出力、直流出力、及び前記電話回線に接続する入力を備え、前記電話回線の間にかかる交流電圧に相当する信号を前記交流出力から発生し、前記電話回線の間にかかる直流電圧に相当する信号を前記直流出力から発生するデータアクセス配列部と、

B)直流電圧に相当する固有の出力レベルの出力、交流入力、及び直流入力を備え、前記データアクセス配列部によって生成される信号をデジタル信号に変換するコンバータと、

40 C)前記コンバータの交流入力をシステム同相電圧又は前記データアクセス配列部の交流出力に択一的に接続する第1のスイッチと、

D)前記コンバータの直流入力をグラウンド又は前記データアクセス配列部の直流出力に択一的に接続する第2のスイッチと、

E)第1の制御信号を抽出するために前記デジタル信号にフィルタ処理を施し、前記デジタル信号から前記コンバータの固有の出力レベルを取り除くプロセッサと、

50 F)前記電話回線における直流電流を設定するために前記

制御信号によって制御される第1の制御可能電流源と、を有することを特徴とする電話回線における直流回線電流の調整装置。

【請求項14】 前記コンバータの直流電圧に相当する固有の出力レベルは交流入力及び直流入力とは無関係な一定の出力レベルであり、前記電話回線における前記直流電流の制御中でのエラーを削減する前記プロセッサによって実行される演算の要素には入らないものであることを特徴とする請求項13記載の電話回線における直流回線電流の調整装置。

【請求項15】 前記コンバータの直流電圧に相当する固有の出力レベルは、交流入力を既知の交流電圧レベルに接続し、直流入力を既知の直流電圧レベルに接続し、前記コンバータの出力を測定し、前記コンバータの交流入力及び直流入力に関連する所望の出力に相当する値を前記コンバータの出力から減算することによって決定されることを特徴とする請求項14記載の電話回線における直流回線電流の調整装置。

【請求項16】 前記既知の交流電圧は同相電圧レベルであり、前記既知の直流レベルはグラウンドであることを特徴とする請求項15記載の電話回線における直流回線電流の調整装置。

【請求項17】 前記コンバータの交流入力及び直流入力に関連する所望の出力は、デジタルのゼロであることを特徴とする請求項16記載の電話回線における直流回線電流の調整装置。

【請求項18】 G)第2の制御電流を生成する第2の制御可能電流源と、H)前記第2の制御可能電流源の電流と前記第1の制御可能電流源を制御する前記第1の制御信号とを組み合わせる合成器と、をさらに有することを特徴とする請求項13記載の電話回線における直流回線電流の調整装置。

【請求項19】 前記プロセッサは、デジタル・プロセッシング回路で構成されている記載の電話回線における直流回線電流の調整装置。

【請求項20】 前記コンバータは、アナログ・デジタル・コンバータで構成されていることを特徴とする請求項13記載の電話回線における直流回線電流の調整装置。

【請求項21】 前記プロセッサは、フィルタ処理された後の前記デジタル信号をスケーリングすることを特徴とする請求項19記載の電話回線における直流回線電流の調整装置。

【請求項22】 前記プロセッサは、選択的なカットオフ周波数をもつフィルタを有することを特徴とする請求項19記載の電話回線における直流回線電流の調整装置。

【請求項23】 前記プロセッサは、あらかじめ設定された時間T1の前は第1のカットオフ周波数をもつローパスフィルタとして機能し、あらかじめ設定された時間

T1の後には第2のカットオフ周波数をもつローパスフィルタとして機能することを特徴とする請求項19記載の電話回線における直流回線電流の調整装置。

【請求項24】 前記プロセッサは、モデム送信信号と電流源制御信号を生成するフィルタ処理されたデジタル信号とを合成する合成器を有することを特徴とする請求項19記載の電話回線における直流回線電流の調整装置。

【請求項25】 電話会社の中央局とデータ生成機器との間を接続する電話回線における直流回線電流を調整する装置であって、

A)交流と直流とを分離する分離器及び制御可能電流源で構成され、前記電話会社の中央局に接続されたデータアクセス配列部(DAA)と、

B)アナログ対デジタルの部分の出力をスキューする一定の固有の出力レベルを有し、前記DAAに接続されて前記DAAからの信号をデジタルに変換し、前記DAAからの信号をアナログに変換する符号復号器(CODEC)と、

C)前記CODECに接続されて、前記CODECのアナログ対デジタルの部分の前記一定の固有の出力レベルを収容するプロセッサと、

D)前記プロセッサに接続されたデータ源と、を有し、前記プロセッサが前記制御可能電流源を制御することを特徴とする電話回線における直流回線電流の調整装置。

【請求項26】 電話会社の中央局に対してチップ及びリング端子を介して接続された電話回線における直流回線電流を調整する装置であって、

A)チップ端子及びリング端子を介して前記電話会社の中央局に接続されたデータアクセス配列部(DAA)を構成する、

A1)アナログ交流出力、アナログ直流出力、及び前記チップ端子に接続された入力を備えた交流直流信号分離器と、

A2)制御入力を備え、前記チップ端子と前記リング端子との間に接続された制御可能電流源と、

B)アナログ交流入力、アナログ直流入力、及びデジタル出力を備えたアナログ・デジタル(A/D)コンバータと、

C)前記コンバータの交流入力を同相電圧電源又は前記交流直流信号分離器のアナログ交流出力に択一的に接続する第1のスイッチと、

D)アナログ直流出力の電圧出力をアナログ分割直流出力に低減するデバイダと、

E)前記A/Dコンバータのアナログ直流入力を第1のグラウンド端子又はアナログ分割直流出力に択一的に接続する第2のスイッチと、

F)前記A/Dコンバータの出力に接続されて前記A/Dコンバータの出力に対してフィルタ処理及びスケーリングを施し、フィルタ処理及びスケーリングが施された前記A/Dコンバータの出力とデジタル制御信号を抽出するための

データ信号とを組み合わせるプロセッサと、

G) デジタル入力及び前記制御可能電流源に接続された交流出力を備え、前記電話回線における直流電圧を調整するデジタル・アナログ (D/A) コンバータと、H) 前記D/Aコンバータのデジタル入力を前記デジタル制御信号又は第2のグラウンド端子に択一的に接続する第3のスイッチと、

を有することを特徴とする電話回線における直流回線電流の調整装置。

【請求項27】 前記アナログ・デジタル・コンバータは、前記プロセッサによって測定されたエラーを装置内に導入し、前記プロセッサはフィルタ処理及びスケーリングの期間に前記エラーを収容することを特徴とする請求項26記載の電話回線における直流回線電流の調整装置。

【請求項28】 前記プロセッサは、第1のモードにおいては、前記第1及び第2のスイッチを位置づけて前記A/Dコンバータの出力に対応する前記A/Dコンバータの直流オフセットを測定する制御を行うようにプログラムされ、第2のモードにおいては、前記第1及び第2のスイッチを位置づけて前記第1のモードにおいて測定した前記直流オフセットを補償する制御を行うようにプログラムされていることを特徴とする請求項27記載の電話回線における直流回線電流の調整装置。

【請求項29】 1) 第1の入力、第2の入力、及び出力を備え、前記第1の入力において前記D/Aコンバータのアナログ出力に接続され、前記出力において前記制御可能電流源に接続された合成器と、
J) 前記第2の入力に接続され、この装置の動作開始及び動作の期間に電流を供給する電流源と、
をさらに有することを特徴とする請求項26記載の電話回線における直流回線電流の調整装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、直流電流を調整するデジタル・ジャイレータのための直流オフセットの演算方法及び演算装置に関し、特に、通信回線上で必要なパラメータに適合するために直流電流を調整する通信機器におけるデジタル・ジャイレータのための直流オフセットの演算方法及び演算装置に関する。

【0002】

【従来の技術】 世界中の国々における電話システムは、それぞれの国内において通信機器を合法的に販売及び使用するために、適合すべき固有の規格を備えている。よく知られている規格の1つとして、電話回線がオフフックになるとき（すなわち、電話回線が使用状態になるとき）には、回線の直流電流レベルは、所定時間内にある特定のレベルに達しなければならない、また、発呼が完了するまでそのレベルを維持しなければならないことである。回線の直流電流レベルは、電話の発呼の期間中を通

して、アクティブ回線として電話システムによって認識されるために、ある特定のレベルのままでなければならないのである。電流の立ち上がり時間及び最大レベルもまた、通信端末が破壊しないように調整される。

【0003】 電話回線のオフフック状態を保持するためには、所定の電流レベルを設定しなければならない、そのレベルは回線の電圧レベルに関係し、国の通信規格にも適合するものである。必要な動作電流は、一般的に電流対電圧のグラフで表され、負荷線としての技法で知られている。負荷線は、電流対電圧のグラフにおける電圧に対する抵抗のレベルに相当し、供給電圧に対する電流レベルを決定することができる。

【0004】 図4は、電流対電圧負荷線の規格の例であり、電話回線のオフフック状態を維持するものである。電流対電圧のグラフにおける負荷線の傾斜は、回線抵抗の逆数になっている。電話システムが発生する電圧は、電話回線の2つの端子間に加えられる電位差であり、チップ・リング間電圧としてよく知られている。図4に示すように、電話回線のオフフック状態を維持するために必要な電流レベルは、回路抵抗を適切に設定することにより、供給電圧に対して得ることができる。図4に示す型は、ある1つの国によって公にされたパラメータの代表的なものであり、国ごとに变化するものである。パラメータは、1つの国内においてさえも、国の規定が変わることによっても変化し得る（例えば、国の通信システムが更新された場合には）。

【0005】 確立された規格に従うためには、コンピュータ・モデムや電話機等の民生通信端末は、通信回線において直流回線電流の設定が可能でなければならない。電話がオフフックするときに電話回線における直流電流を設定するために用いられてきた方法の1つは、インダクタが抵抗と直列して電話回線の間に接続され、キャパシタを介して音声回路が回線に接続される。

【0006】 図5は、よく知られている従来の直流回線電流を設定する回路を示し、抵抗 R_{dc} 、キャパシタンス C 、及びインダクタンス L で構成されている。インダクタ L は、200Hzから4kHzまでの音声帯域において、あるインピーダンスをもつように選択され、そのインピーダンスは電話回線及びキャパシタと音声回路の組み合わせのインピーダンスよりもかなり大きい値である。

【0007】 すべての交流電流は事実上、キャパシタ及び音声回路を通して流れる。直流的には、キャパシタは開放した回路のように見え、インダクタは短絡した回路のように見える。このため、抵抗 R_{dc} が直流電流を設定する。図5の回路は最適とは言えない。なぜなら、本質的にサイズが大きく、また、インダクタ L の高いコスト、インダクタ L を充電するための時間の長さ、及びオフフック電流レベルの規格が異なる国においては回路部品を変更する必要があるからである。

【0008】 電話システムにおける直流回線電流の制御

に使用されてきた従来技術の他の方法は、図5のインダクタLに代えて、より小さくより安価な特別のシステム部品を使用する。図6に示す部品の構成は、直流回線電流の制御に使用することが可能であり、ジャイレータとしてこの分野でよく知られているものである。図6に示めされた従来のジャイレータは、インダクタLを使用せずに直流回線電流の制御に使用することができる。

【0009】図6における回路は、電話回線間の大きなインダクタのように機能し、図5に示す従来の回路に置き換えて使用することができる。ジャイレータは、多くのディスクリート部品によって構成され、例えば、トランジスタ、抵抗、キャパシタ、及び、デジタル的に制御されるスイッチで、チップ・リング電話回線インターフェースの近傍に設けられた部品で構成される。

【0010】図6に示すように、ジャイレータは、デジタル的に制御される複数のスイッチであるDCS_i及びDCS_jを備え、このジャイレータ回路においてキャパシタンス及び抵抗のそれぞれを異なるレベルに切り替えるために使用される。この回路のキャパシタンス及び抵抗を異なるレベルに切り替えることによって、回路の時定数を変えることができるので、トランジスタは電話回線の電流レベルを所定時間内に補正できるように操作される。

【0011】この回路は、立ち上がり過渡応答時間を異なるようにすることで、単一の回路を用いてユーザの仕様に従った直流電流レベルの調整ができる。DCS_iスイッチは最初の過渡応答の整定時間に影響を及ぼし、DCS_jスイッチは直流負荷線に影響を及ぼす。回路の調整能力は、製造時に回路部品が搭載されたときに決まる。製造後に仕様が変わった場合には、機器を変えるために、機器内の部品を物理的に交換する必要がある。あるいは、新たに機器全体を組み込む必要がある。

【0012】近年においては、ジャイレータはデジタル処理技術を利用して開発されてきた。ジャイレータをデジタル機器に組み込むことにより、ソフトウェアを基礎として国ごとのパラメータを調整することによって、所望の回線電流を得ることができるデジタル・ジャイレータの一例としては、1999年5月11日出願の米国継続出願09/310,021にそのすべてが開示され、その出願は本発明と同じ譲受人で少なくとも一人の発明者が同じである。また、そのデジタル・ジャイレータの一例をここで参照する。

【0013】その従来のジャイレータのブロック図を図7に示す。図7に示されたジャイレータは、データアクセス配列部(DAA)74と電話会社の中央局72との間におけるインターフェースにおけるチップ80及びリング81間に流れる直流回線電流の制御に用いられる。このシステムでは、最初にチップ80及びリング81間の直流電圧に相当するアナログ信号を生成するDDA74を用いて直流回線電流を制御する。そのアナログ信号は、符号器・復号器(CODEC)76に設けられたアナログ・デジ

タル(A/D)コンバータ82によってデジタルに変換される。

【0014】したがってその結果、デジタル信号はプロセッサ78で処理される。プロセッサ78は、デジタル直流電流制御信号を得るために、そのデジタル信号に対してフィルタ86でフィルタ処理を施し、スケール88で基準化する。プロセッサ78はまた、そのデジタル信号とコンピュータ・モデム・送信(TX)信号92とを合成する。

【0015】次に、合成されたデジタル信号は、デジタル・アナログ(D/A)コンバータ84によってアナログ信号に再び変換される。その結果、合成されたアナログ信号は、電流源94が、DDA74と電話会社の中央局72との間のインターフェースをとるチップ81及びリング81上に、必要な直流回線電流及び交流モデム電流を流すように制御するのに用いられる。

【0016】

【発明が解決しようとする課題】しかしながら、図7に示したデジタル・ジャイレータ70は、様々な国の仕様に従って電話回線の直流回線電流を設定する能力はあるものの、中央局72から見ると、チップ(T)80及びリング(R)81が電位的に不確定になった場合には、その間の直流回線電流にシステムエラーが発生し得る。そのシステムエラーは、従来のジャイレータ70に本質的に存在するので、プロセッサ78でその直流回線電流を制御するためには、DDA74とプロセッサ78との間の直流フィードバック・パスは、交流フィードバック・パスと共用されることになる。

【0017】しかしながら、直流パス及び交流パスの変換のために別々のコンバータを用いた場合には、単一のA/Dコンバータ82をさらに使用することになる。従来のA/Dコンバータ82の多くは、入力電圧が小さい範囲でしか適用することができない。その上、現在のモデムの仕様(すなわち、ITU-T勧告V.90)では、交流パスにおけるモデムの信号対ノイズ比(SNR)を80dBより大きい値に維持するようになっている。小さな入力電圧範囲のA/Dコンバータ82でジャイレータ70においてSNRを高く維持するためには、A/Dコンバータ82の入力範囲の大部分が、フィードバック・パスの交流電圧成分に対して用意されなければならない。このことは、フィードバック・パスの直流成分ができるだけ小さくなければならないことを意味する。直流成分を減少するためには、システム・フィードバック・パスは、チップ80及びリング81の間の直流電圧を大きな数、例えば400で除算することになる。

【0018】しかしながら、アナログ回路、特にA/Dコンバータ82において、この直流オフセットがどんなに小さくとも、それは直流の値であるので、チップ80及びリング81電圧が減少したか又は増加したものと見て、プロセッサ78によって解釈されることになる。し

たがって、チップ 80 及びリング 81 の間の直流回線電流の結果として、有意性のエラーが発生することになる。本発明の目的は、電話回線における直流回線電流の調整の際に、アナログ回路の直流オフセットによって発生するエラーを解消することである。

【0019】

【課題を解決するための手段】本発明は、優れたエラー処理能力をもつデジタル・ジャイレータによって、電話回線における直流回線電流を制御するためのデジタル的方法及び装置を提供する。本発明は、プロセッサによる適切な演算の実行によって、機器の直流オフセットを測定し、記憶し、及び差し引くことによる優れたエラー処理を提供する。デジタル・ジャイレータは、抵抗やキャパシタ等の電気部品に代わり、プロセッサによって直流回線電流のパラメータを制御する。

【0020】すなわち、本発明の電話回線における直流回線電流の調整方法は、

- A) 通信機器と電話会社の中央局とのインターフェースをとるステップと、
- B) 前記電話回線により前記通信機器に対して賦課された直流電圧に相当し、前記電話回線における直流回線電流を調整するためにフィードバックループにおいて使用される第 1 のアナログ信号を前記通信機器から抽出するステップと、
- C) 前記第 1 のアナログ信号を第 1 の回路で使用される第 1 のデジタル信号に変換するステップと、
- D) 前記第 1 のアナログ信号を前記第 1 のデジタル信号に変換する前記ステップによって導入された直流オフセットを測定するステップと、
- E) 前記直流オフセットを記憶するステップと、
- F) 将来の演算から前記直流オフセットを差し引くステップと、
- G) 前記第 1 のデジタル信号にフィルタ処理を施して第 2 のデジタル信号にするステップと、
- H) 前記第 2 のデジタル信号を第 2 のアナログ信号に変換するステップと、
- I) 電話回線における直流回線電流を制御する電流源を前記第 2 のアナログ信号で調整するステップと、を有する。

【0021】また、本発明の電話回線における直流回線電流の調整装置は、

- A) 交流出力、直流出力、及び前記電話回線に接続する入力を備え、前記電話回線の間にかかる交流電圧に相当する信号を前記交流出力から発生し、前記電話回線の間にかかる直流電圧に相当する信号を前記直流出力から発生するデータアクセス配列部と、
- B) 直流電圧に相当する固有の出力レベルの出力、交流入力、及び直流入力を備え、前記データアクセス配列部によって生成される信号をデジタル信号に変換するコンバータと、

C) 前記コンバータの交流入力をシステム同相電圧又は前記データアクセス配列部の交流出力に択一的に接続する第 1 のスイッチと、

D) 前記コンバータの直流入力をグラウンド又は前記データアクセス配列部の直流出力に択一的に接続する第 2 のスイッチと、

E) 第 1 の制御信号を抽出するために前記デジタル信号にフィルタ処理を施し、前記デジタル信号から前記コンバータの固有の出力レベルを取り除くプロセッサと、

10 F) 前記電話回線における直流電流を設定するために前記制御信号によって制御される第 1 の制御可能電流源と、を有する。

【0022】さらに、本発明の電話回線における直流回線電流の調整装置は、

A) 交流と直流とを分離する分離器及び制御可能電流源で構成され、前記電話会社の中央局に接続されたデータアクセス配列部 (DAA) と、

B) アナログ対デジタルの部分の出力をスキューする一定の固有の出力レベルを有し、前記 DAA に接続されて前記 DAA からの信号をデジタルに変換し、前記 DAA からの信号をアナログに変換する符号復号器 (CODEC) と、

C) 前記 CODEC に接続されて、前記 CODEC のアナログ対デジタルの部分の前記一定の固有の出力レベルを収容するプロセッサと、

D) 前記プロセッサに接続されたデータ源と、を有し、前記プロセッサが前記制御可能電流源を制御する。

【0023】さらに、本発明の電話回線における直流回線電流の調整装置は、

A) チップ端子及びリング端子を介して前記電話会社の中央局に接続されたデータアクセス配列部 (DAA) を構成する、

A1) アナログ交流出力、アナログ直流出力、及び前記チップ端子に接続された入力を備えた交流直流信号分離器と、

A2) 制御入力を備え、前記チップ端子と前記リング端子との間に接続された制御可能電流源と、

B) アナログ交流入力、アナログ直流入力、及びデジタル出力を備えたアナログ・デジタル (A/D) コンバータと、

40 C) 前記コンバータの交流入力を同相電圧電源又は前記交流直流信号分離器のアナログ交流出力に択一的に接続する第 1 のスイッチと、

D) アナログ直流出力の電圧出力をアナログ分割直流出力に低減するデバイダと、

E) 前記 A/D コンバータのアナログ直流入力を第 1 のグラウンド端子又はアナログ分割直流出力に択一的に接続する第 2 のスイッチと、

50 F) 前記 A/D コンバータの出力に接続されて前記 A/D コンバータの出力に対してフィルタ処理及びスケーリングを施し、フィルタ処理及びスケーリングが施された前記 A/D

コンバータの出力とデジタル制御信号を抽出するためのデータ信号とを組み合わせるプロセッサと、

G) デジタル入力及び前記制御可能電流源に接続された交流出力を備え、前記電話回線における直流電圧を調整するデジタル・アナログ (D/A) コンバータと、
H) 前記D/Aコンバータのデジタル入力を前記デジタル制御信号又は第2のグラウンド端子に択一的に接続する第3のスイッチと、を有する。

【0024】

【発明の実施の形態】図1は、本発明によるジャイレータ10のブロック図である。図1に示すように、ジャイレータ10は、符号・復号器 (CODEC) 14、プロセッサ12、及び回線電流調整器28を有するデータ・アクセス配列部 (DAA) 16で構成されている。プロセッサ12は、フィルタ20、スケール22、及びモデム入力信号30を制御する。

【0025】図1に示すジャイレータ10においては、システムがオフフック状態に移行するとき (すなわち、電話回線が使用状態になるとき)、DAA 16は電話回線32、34を介して中央局18に接続される。中央局18は、DDA 16のチップ32及びリング34インターフェース間の電位を維持する。DAA 16はチップ32及びリング34インターフェース間の電位を、交流・直流分離器37により交流成分と直流成分に分離する。直流分離器37は、容量接続及び抵抗網を使って交流アナログ信号31及び直流アナログ信号33を生成する。交流アナログ信号31はDAA 16の交流電圧に相当し、直流アナログ信号33はDAA 16の交流電圧に相当する。

【0026】A/Dコンバータ24のようなアナログ・デジタル (A/D) コンバータやD/Aコンバータ26のようなデジタル・アナログ (D/A) コンバータは、入力がゼロのときでも出力がゼロとならないオフセットを持つとともに、コンバータの入力を増幅するゲインを持つ。実施形態においては、A/Dコンバータ24及びD/Aコンバータ26のゲインは、ウェハー試験の段階において公知の技術により調整される。

【0027】一般的に、コンバータの直流オフセットは調節される必要はないが、本発明のA/Dコンバータ24及びD/Aコンバータ26に関する直流オフセットは、システムの性能に影響を及ぼすおそれがある。このため、A/Dコンバータ24及びD/Aコンバータ26の直流オフセットは調整する必要がある。実施形態においては、A/Dコンバータ24及びD/Aコンバータ26の直流オフセットは、ウェハー試験の段階において公知の技術により調整される。

【0028】本発明によれば、A/Dコンバータ24の直流オフセットは、オフセットの後すぐにサンプル・記憶される。その後、プロセッサ12は、直流オフセットの校正期間が終了した後に取り込んだすべてのA/Dコンバータ24のサンプルから、直流オフセットを差し引くこ

とによって、直流オフセットに対する補償をする。

【0029】DAA 16からの交流アナログ信号31は、スイッチ27を介してA/Dコンバータ24に接続される。スイッチ27は、A/Dコンバータ24の交流入力を最初は同相電圧点 V_{in} に接続しており、その後、システムによってあらかじめ決められた時間に、A/Dコンバータ24の交流入力を交流アナログ信号31に接続するように切り替える。

【0030】DAA 16からの直流アナログ信号33は、スイッチ29を介してA/Dコンバータ24に接続される。スイッチ29は、A/Dコンバータ24の直流入力を最初はグラウンドに接続しており、その後、A/Dコンバータ24の交流入力をドライバ35によって処理された後の交流アナログ信号31に接続するように切り替える。

【0031】DAA 16からの2つの信号31及び33は次に、デジタル信号を生成するアナログ・デジタル・コンバータ24を介したCODEC 14により、アナログからデジタルに変換される。アナログ・デジタル・コンバータ24は、最初は、その交流入力が V_{in} に接続され、その直流入力がグラウンドに接続されているので、アナログ・デジタル・コンバータ24の出力は、交流及び直流の入力がない場合を測定することで、アナログ・デジタル・コンバータ24の直流オフセットを裁定することができる。その直流オフセットはプロセッサ12によって記憶され、その後にプロセッサ12によって校正が行われて、信号入力があったときにA/Dコンバータ24の出力を正規化するために使用される。

【0032】なお、図1におけるアナログ・デジタル変換はCODEC 14によって遂行されるが、この変換はCODEC 14とは独立したアナログ・デジタル・コンバータによっても遂行できるし、基本的にはどのような変換手段によっても遂行できる。信号変換の方法は、よく知られている技術であり、これ以上詳細に説明する必要もないであろう。

【0033】変換されたデジタル信号はデジタル・フィルタを通り、プロセッサ12により所定のプロセス・プログラムを使って制御される。所定のプロセス・プログラムとしては、ループ・パラメータがハード的な符号化を介して又はソフトウェアを介した手段によってプログラムすることができるのであれば、どのようなプログラマブル・ロジック・ブロックあるいはプロセッシング・ブロックでもよいであろう。

【0034】フィルタ20は、プロセッサ12の中に完全に集積化されていてもよいし、フィルタ処理及び制御処理を行う分離したプロセッサを構成してもよい。フィルタ20は、デジタル電圧信号に応答できる可変抵抗として機能する。このため、電話回線における電流の立ち上がり時間及び電流レベルは、あらかじめ定められている仕様に従って設定することができる。プロセッサ12

10

20

30

40

50

は、マイクロプロセッサ、データプロセッサ、デジタル信号プロセッサ（すなわち、DSP）、マイクロコントローラ、ステートマシン、その他、基本的にはどのようなデジタルプロセッシング回路も当てはまる。

【0035】デジタルフィルタ20を通ったデジタル信号は、次にデジタルスケール22を通して、あらかじめ定められている仕様に従った出力の校正レベルが発生される。デジタルスケール22は、基本的には図5の R_{DC} の負荷線と同じように信号を生成する機能を果たし、この結果、チップ32及びリング34の対を介した直流電

流レベルが指定された直流負荷線に整合する。
【0036】特に、デジタルスケール22は、チップ32及びリング34の直流電位と、電流源28によって制御されるチップ32及びリング34の直流電流との間の関係を制御するために使用される。例えば、デジタルスケール22が高いスケール値になる場合には、チップ及びリングの電位の小さな変化が大きな電流変化の結果となり、それによってあたかも小さな負荷線抵抗があるかのような効果が得られる。デジタルスケール22が低いスケール値になる場合には、チップ及びリングの電位の小さな変化が小さな電流変化の結果となり、それによってあたかも大きな負荷線抵抗があるかのような効果が得られる。デジタルスケール22は、プロセッサ12によって制御され、プロセッサ12の中に集積化されているか、又は、プロセッサ制御機能とスケール機能とが分離している。

【0037】フィルタ処理及びスケール処理が施された後のデジタル信号は、合成器23で交流モデム信号と合成されてデジタル電流源制御信号25を発生する。なお、本発明は、モデムと電話回線とのインターフェースに関して記述しているが、本発明は、電話回線にデータ信号を配列するのに利用できるどのような機器でも組み合わせが可能である。

【0038】デジタル電流源制御信号25は、チップ及びリングのインターフェースに配列される直流電流のレベルを有するデジタル信号と、チップ及びリングのインターフェースに配列される交流モデム信号からなるデジタル信号とを構成する。デジタル電流源制御信号25は、デジタル・アナログ（D/A）コンバータ26を介して、電流源28に接続され、そこにおいてデジタル電流源制御信号25は、チップ及びリングのインターフェースに特有な交流モデム電流及び直流回線電流を調整する。実施形態においては、D/Aコンバータ26における電位オフセットは、ウェハー調整の製造段階で除去される。

【0039】始動時には、電流源38は合成器36を介して可変電流源28を制御するのに使用される。この時間中に、スイッチ19は、デジタル・アナログ（D/A）コンバータ26の入力をグラウンドに接続して、プロセッサ12からどのような信号が出力されようという関係な

く、電流源38が可変電流源28を制御できるようにする。電流源38は、始動期間中は可変電流源28の唯一の制御として使用され、ジャイレータ10に整定する時間を与えるようにする。回路が整定するために必要な時間は、プロセッサ12に格納されたソフトウェアにより決定される。

【0040】ジャイレータ10の整定が完了した後、スイッチ19は、通常の動作にするために、D/Aコンバータ26の入力を電流源制御信号25に接続する。スイッチ19がD/Aコンバータ26の入力を電流源制御信号25に接続すると、D/Aコンバータ26はプロセッサ12から出力されるデジタル信号をアナログ信号に変換する。電流源制御信号25は、CODEC14内のD/Aコンバータ26によりデジタルからアナログに変換される。なお、このデジタルからアナログへの変換はCODEC14によって遂行されるが、この変換はCODEC14とは独立したデジタル・アナログ・コンバータによっても遂行できるし、基本的にはどのような変換手段によっても遂行できる。

【0041】この結果、アナログ信号は、合成器36を介して、DAA16内の可変電流源28を制御する電流源38によって生成された電流と組み合わせられる。電流源38は、始動時に可変電流源28に最初の入力を供給するために用いられる。その結果、電流源38は、システムが電流源制御信号25を発生する前に、チップ32及びリング34のインターフェースに最初の電流レベルを配列する。電流源38は、チップ32及びリング34のインターフェースに所望の直流電流レベルを発生するときの開始点として対応する。

【0042】電流源38は、始動時の後も電流の供給を続行して、チップ32及びリング34のインターフェースの電流レベルが継続して維持できるようにする。そして、プロセッサ12によって遂行される演算に数字で表される。可変電流源28はDAA16によって中央局18に接続され、電話回線のフック（受話器）の状態を表示するとともに、電話回線のモデム信号30を変調する。

【0043】上記したように、デジタルフィルタ20は、プロセッサ12によって実行される所定のプロセス・プログラムに基づいて動作する。プロセッサ12は、デジタルフィルタ20の動作が実行される方法に柔軟性を持たせている。そのことはこの実施形態の中で容易に明らかにされる。

【0044】説明の簡便のために、デジタルフィルタ20は従来のローパス・デジタルフィルタで構成され、プロセッサ12で使用される信号にフィルタ処理を施して、回路の直流電流の立ち上がり時間を調整する。また、一度所望の電流レベルに達した電流の校正レベルを維持する。回路の立ち上がり時間を制御するために、デジタルフィルタ20は、相対的に高いカットオフ周波数、例えば30Hzをもつように設定される。高いカット

オフ周波数がデジタルフィルタ20を通った電流レベルに相当する値を急激に増加させることは、よく知られていることである。

【0045】本発明においては、デジタル表現の電流は、デジタルフィルタ20の特性によって決定される比率で急激に立ち上がることになる。電流の立ち上がり時間は、あらかじめ定められている仕様に従ったレベルに収束するように、システムにおける電流に対する時間と*

$$t = \frac{1}{2\pi f_c}$$

例えば、最初のカットオフ周波数が30Hzである場合には、システムが収束する時間は、約25ms ($1 / (2\pi \times 30\text{Hz}) \times 5 = 25\text{ms}$) になる。

【0047】デジタルフィルタ20の出力は、スケール22の処理ルーチンに送られて、特定の国の規格における電圧対電流の負荷線、例えば図4に示した負荷線を満足するようにスケールされる。スケール22は、図5に示した従来技術における R_{dc} と基本的には同じ機能を果たす。

【0048】システムが収束した後は、デジタルフィルタ20は直流電流だけを通すので、カットオフ周波数は相対的に低いカットオフ周波数、例えば1Hzに切り替えられる。よく知られているように、低カットオフ周波数のフィルタは、ほぼ一定の直流電流レベルを維持する。一般的に電話システムは一度だけ直流電流が確立することを要求するので、収束に要するこの長い時間の期間は一度システムが正しい直流電流レベルに達してしまうまででよく、直流電流レベルは発呼の期間が終了するまで30は変動すべきでない。

【0049】図2は、直流電流 I_{dc} の好ましい立ち上がり時間を示している。図2におけるフィルタ20は、高いカットオフ周波数 f_{ch} をもつローパスフィルタから、 t_s の時間に低いカットオフ周波数 f_{cl} をもつローパスフィルタに変化する。

【0050】直流回線電流の制御のためには、チップ32及びリング34のインターフェースとプロセッサ78との間のフィードバックループが確立されることが必要である。この実施形態においては、直流回線電流を調整するために用いられている直流フィードバックパスは、交流フィードバック・パスと共用しており、電話回線のモデム信号を変調するために用いられている。

【0051】実施形態においては、±1VのダイナミックレンジをもつA/Dコンバータ24は、電話回線において維持すべき動作電圧が最小になるために用いられる。例えば、ほぼ80dB以上の信号雑音(S/N)比をもつ所望のモデム信号を得るためには、A/Dコンバータ24のダイナミックレンジの大部分は、交流信号を利用しなければならない。A/Dコンバータ24のダイナミックレン

*して、製造のときに決定される。一般的な定義では、整定時間は、設定値の90%以内に収束する時間である。

【0046】最初の受注システムにおいては、この値は、システム時定数 t の5倍に相当する。ローパスフィルタのカットオフ周波数 f_c のときのシステム時定数 t は、次の式(1)で表される。

【数1】

$$(1)$$

ジの大部分はフィードバックパスの交流成分に対応しているので、フィードバックパスの直流成分は小さくすべきである。

【0052】したがって直流成分は、AC/DC分離器37から出力される直流電圧を分割するデバイダ35を用いて低減される。最悪の場合のシナリオを想定し、例えばチップ32及びリング34間に64ボルトがかかる場合を想定し、及び、交流信号電圧に対して高いS/N比を与えるために選択され与えられたダイナミックレンジでA/Dコンバータ24が処理できる最大の直流電圧、例えば、ほぼ0.16ボルトの直流を決定し、そして、これら2つの値の比であるデバイダ35の値を選択することによって、デバイダ35におけるその値が選択される。したがって、デバイダ35の値は、この場合の例では400 ($64 / 0.16 = 400$) になる。

【0053】その結果である直流電圧は比較的に小さな値になるので、A/Dコンバータ24によって導入される小さな直流オフセットでさえも、その結果としてチップ32及びリング34の間の直流電流に有意性のエラーを発生させる。チップ32及びリング34の間の直流電流の結果であるエラーの重大な量は、直流回線電流を設定するための演算にA/Dコンバータ24から出力される値を組み入れた結果である。

【0054】直流オフセットの大きさがデバイダ35から出力される電圧よりも小さいとしても、有意性のエラーは、デバイダ35によって分割されたチップ32及びリング34のインターフェースにおける電圧に相当するものとして、プロセッサ12がチップ32及びリング34のインターフェースの電圧を解釈したためと見ることができる。

【0055】例えば、チップ32及びリング34の電圧が40ボルト、分割数が400、直流オフセットが0.01ボルトである場合には、プロセッサ12は、チップ32及びリング34の電圧が44ボルトであると解釈し ($(40 / 400 + 0.01) \times 400 = 44$)、10パーセントのエラーであると解釈する。チップ32及びリング34における電圧レベルの解釈された10パーセントのエラーは、直流電圧レベルに基づいてプロセッサ

12によって実行されるその後のすべての演算に誤りを生じさせるし、直流オフセットが与えられないかぎり、直流回線電流に誤りが存在するという結果になる。

【0056】図3のタイミング・ダイアグラム100は、本発明の実施形態に従ってシステムが始動した期間中の様々な時間におけるジャイレータ10内の信号同士の関係を示している。タイミング・ダイアグラム100における時間の単位はミリ秒(1/1000秒)である。実施形態においては、ライン33からの直流入力是最初の6msの間は、ジャイレータ10のシステム動作には利用されず、ライン31からの交流入力は、最初の100msの間は利用されない。ライン33からの直流入力は最初の6msの間は要求されず、ライン31からの交流入力は最初の100msの間は要求されないで、ジャイレータ10の動作に影響しない最初の6msの間には、システムはジャイレータ10の回路を操ることができる。したがってシステムは、システムの実行に影響を与えることなく、A/Dコンバータ24の直流オフセットを計算して記憶するための十分な時間をもつことができる。

【0057】システムが最初にオフフックになる0msのとき、これに対応している、オフフック(OFFHOOK)タイムライン107がオフフックによってハイレベルになる0msのときは、システムの部品は動作状態になる。最初の1msの間は、A/Dコンバータ24及びD/Aコンバータ26は、それぞれの端子に接続されたローの値によってリセットされ、これにA/D D/Aリセット(D/A RESET)タイムライン106が対応している。A/Dコンバータ24及びD/Aコンバータ26がリセットされるときは、A/Dコンバータ24及びD/Aコンバータ26は出力がゼロのデフォルト状態で記憶される。その後は、A/Dコンバータ24及びD/Aコンバータ26は本来のコンバータとして動作する。

【0058】さらに、始動時のシステムは、スイッチ27を用いてA/Dコンバータ24の交流入力を同相電圧に接続し、スイッチ29を用いてD/Aコンバータ26の直流入力をグラウンドに接続する。A/Dコンバータ24の交流入力の同相電圧への接続、及び、D/Aコンバータ26の直流入力のグラウンドへの接続により、A/Dコンバータ24になら入力を与えることなくその出力を裁定できる。したがって、プロセッサ12はA/Dコンバータ24の直流オフセットを測定できる。

【0059】また、最初のオフフックの期間中において、システムはスイッチ19を用いてD/Aコンバータ26の入力をグラウンドに接続する。システムは最初の6msにおいてD/Aコンバータ26の入力をグラウンドに接続し、DACINタイムライン104がこれに対応している。交流及び直流の最初の6msはジャイレータ10の動作は要求されないで、D/Aコンバータ26の入力をグラウンドに接続しても、システムの実行には影響しない。D/

Aコンバータ26の入力がグラウンドに接続されている最初の6msの間は、D/Aコンバータ26の出力はゼロであり、D/A出力(D/AOUTPUT)タイムライン101がこれに対応している。

【0060】D/Aコンバータ26の入力がグラウンドに接続されていることで、電流源38は合成器36を介して電流源28を単独に制御することができる。電流源38は、中央局18に電流を送出する電流源28を制御するために使用されるデフォルト電流に設定される。このことによって、交流及び直流のフィードバックパスが閉状態になる前に、またプロセッサ12がジャイレータ10を制御できるように、アナログ回路を整定させることができる。

【0061】1ms乃至5msの間において、A/Dコンバータ24は、交流入力が V_m に接続され直流入力がグラウンドに接続されているので、A/Dコンバータ24の直流オフセットの値をプロセッサ12に送出する。A/DからDSPへの出力(A/D OUTPUT TODSP)タイムライン102がこれに対応している。この期間中はどんな時間であっても、プロセッサ12は、将来の演算に用いる直流オフセットを記憶することができる。

【0062】直流オフセットは、プロセッサ12が将来実行する演算の出力から差し引かれ、その演算はチップ及びリングの直流電圧レベルの基礎にされる。ジャイレータ10におけるフィードバック・ループは、オフセットを記憶するのに十分な時間、例えば始動時から5msが経過した後に、プロセッサ12によって閉回路にされる。

【0063】この5msの時点で、スイッチ29は、A/Dコンバータ24の直流入力をデバイダ35に接続し、A/Dコンバータ24はその直流入力からの信号の受信を開始して、その結果A/Dコンバータ24は、直流オフセット及びチップ・リング直流電圧の値変換する。ADINDCタイムライン105及びA/DからDSPへの出力(A/D OUTPUT TO DSP)タイムライン102がこれに対応している。プロセッサ12は直流オフセットを内部のメモリに記憶しているので、プロセッサ12はA/Dコンバータ24の直流オフセットを差し引いて、チップ32及びリング34の直流電圧に対応する真の値を得ることができる。

【0064】6msの時点においては、スイッチ19は、D/Aコンバータ26の入力をプロセッサ12から出力される信号25に接続する。DAC入力(DACIN)タイムライン104がこれに対応する。そして、D/Aコンバータ26の出力は、プロセッサ12によって発生される直流信号を通し始める。D/A出力(D/A OUTPUT)タイムライン101がこれに対応している。

【0065】その後は、合成器36は、D/Aコンバータ26から出力される電流及び電流源38から出力される電流を、直流回線電流を発生するDAA16内に設けられた回線電流源28に供給する。フィードバックパスの交流成分は最初の100msの間は利用されないで、D/

A出力はプロセッサ12からの直流成分で構成される。
100msの時点になる前は、電流は、プロセッサ12によって生成された直流フィードバック電流だけである。
【0066】100msの時点になると、ジャイレータ10は通常のデータ動作を開始する。特に、100msの時点では、スイッチ27は、A/Dコンバータ24の交流入力を交流信号をその交流入力において受信できるように接続する。ADINACタイムライン103がこれに対応している。A/Dコンバータ24は、直流オフセット、チップ・リング直流電圧に対応する値、及びチップ・リング交流電圧に対応する値を変換する。A/DからDSPへの出力（A/D OUTPUT TO DSP）タイムライン102がこれに対応している。

【0067】スイッチ27が閉じたならば、交流フィードバック・パスは完全になり、プロセッサ12は直流回線電流と一緒に交流信号の処理を開始する。プロセッサ12は、直流オフセットを内部のメモリに記憶しているので、チップ・リング直流電圧に基づいて演算を実行するときに、A/Dコンバータ24の直流オフセットを差し引いて、チップ・リング直流電圧に対応する真の値を得ることができる。チップ・リング交流電圧は、その中に含まれているデータを得るために処理される。

【0068】プロセッサ12から出力されるフィードバック・パスの交流成分及びフィードバック・パスの直流成分は、D/Aコンバータ26によって変換される。D/A出力（D/A OUTPUT）タイムライン101がこれに対応している。交流モデム信号と一緒にされる補償された直流電圧に対応する信号は、電流源38を制御するために用いられる。電流源38は、電話回線の直流オフセットによって影響を受けず、搬送送信データの交流電流と一緒に出力される直流電流をその信号に加算する。

【0069】A/Dコンバータの直流オフセットの記憶及 *

び演算、並びに、その後の演算でオフセットを差し引くことによって、従来のジャイレータにおけるエラーを抑制する優れたジャイレータを得ることができる。

【図面の簡単な説明】

【図1】 本発明におけるデジタル・ジャイレータのブロック図。

【図2】 時間にしたがって変化する直流回線電流のグラフを示す図。

【図3】 図1のデジタル・ジャイレータのタイミング・ダイアグラムの図。

【図4】 電流及び抵抗を決定する電流対電圧の一般的なグラフを示す図。

【図5】 従来の直流回線電流の調整回路の回路図。

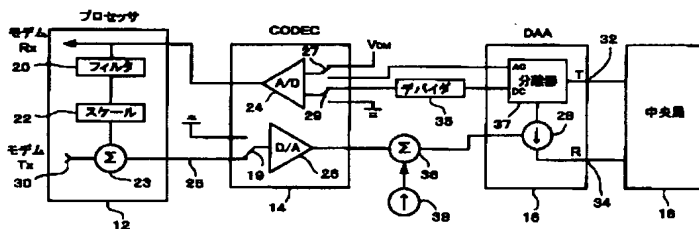
【図6】 従来の直流回線電流の調整用のジャイレータの回路図。

【図7】 従来のデジタル・ジャイレータのブロック図。

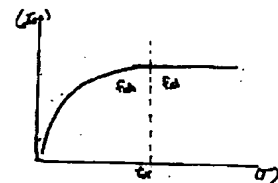
【符号の説明】

- 12 プロセッサ
- 14 符号復号器 (CODEC)
- 16 データアクセス配列部 (DAA)
- 18 電話会社の中央局
- 19、27、29 スイッチ
- 20 フィルタ
- 22 スケール
- 24 A/Dコンバータ
- 26 D/Aコンバータ
- 28 制御可能電流源
- 30 変調モデム信号
- 32 チップ端子
- 34 リング端子

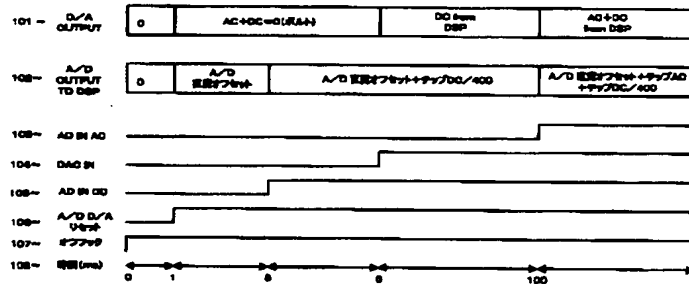
【図1】



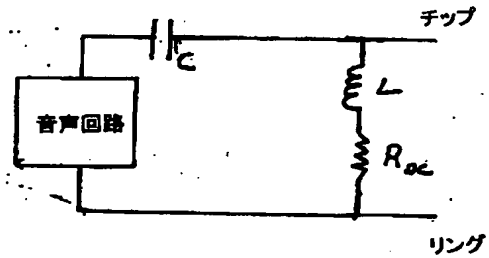
【図2】



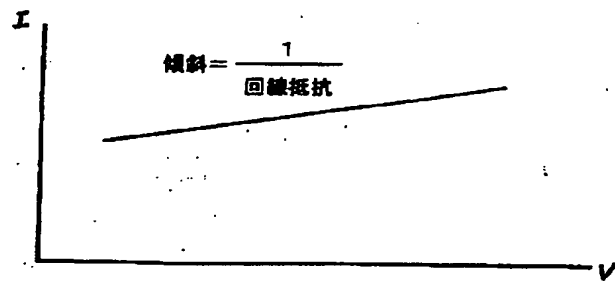
【図3】



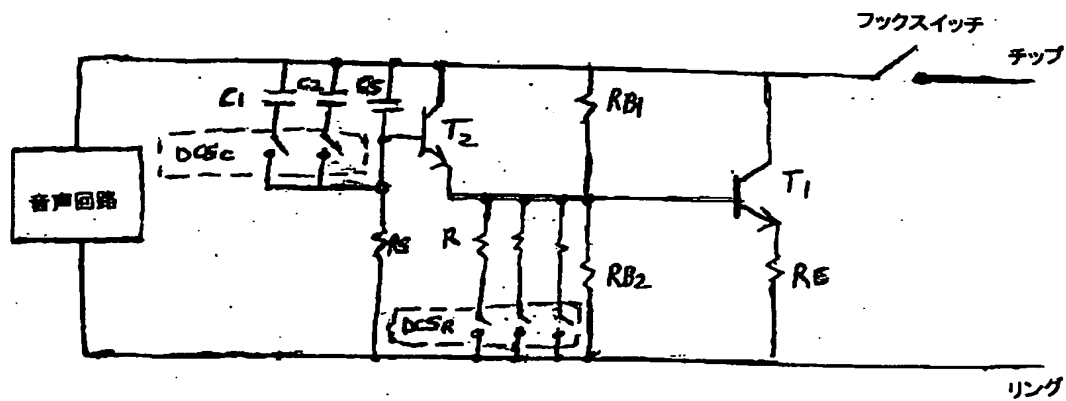
【図5】



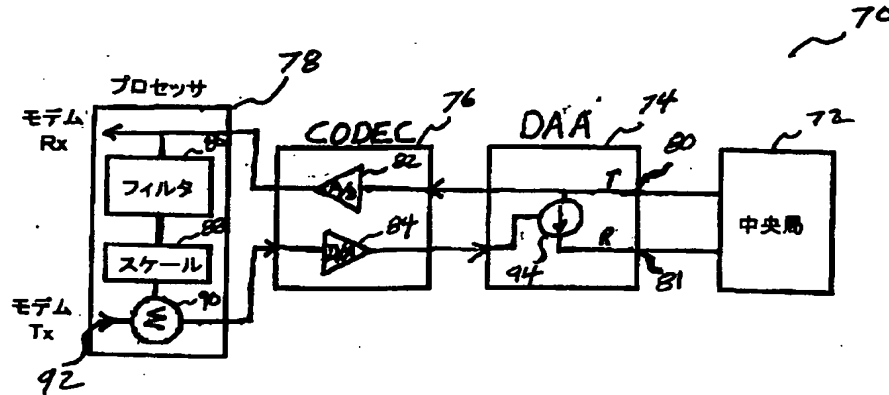
【図4】



【図6】



【図7】



【手続補正書】

【提出日】平成12年10月18日(2000. 10.

* 【補正対象項目名】全図

18)

【補正方法】変更

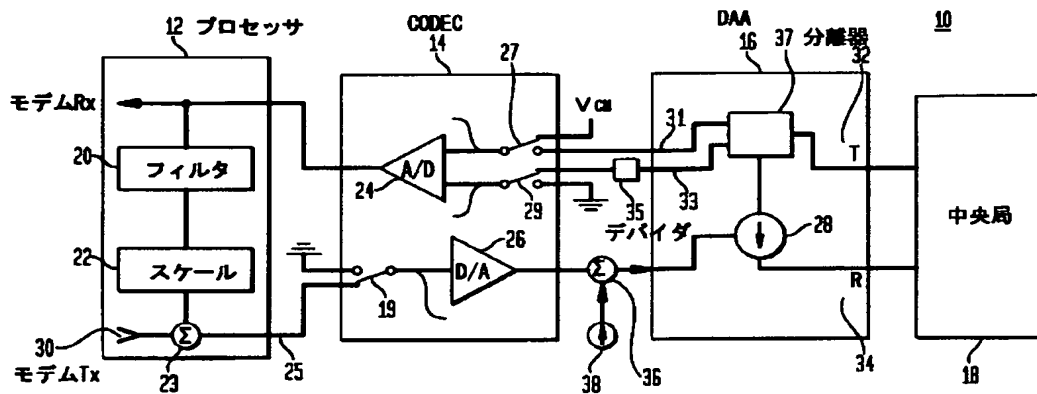
【手続補正1】

【補正内容】

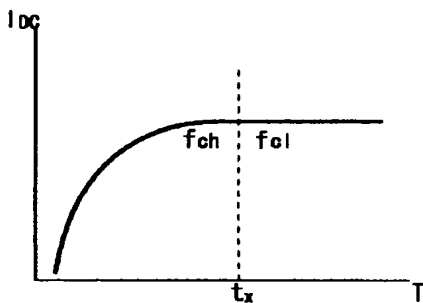
【補正対象書類名】図面

*

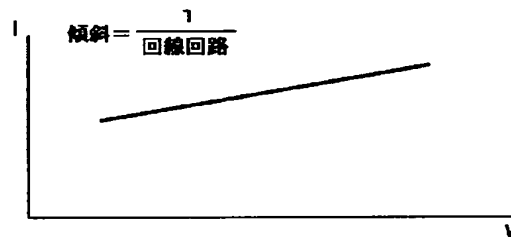
【図1】



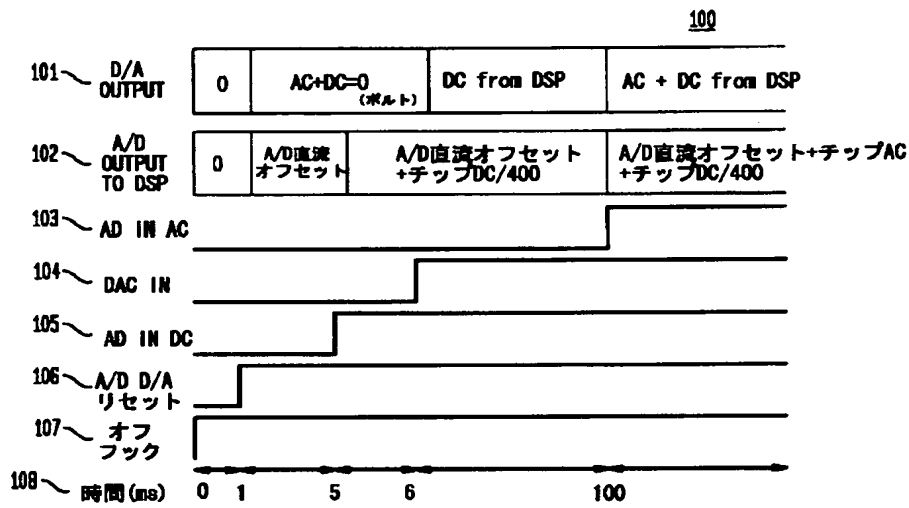
【図2】



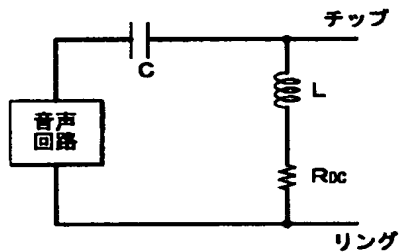
【図4】



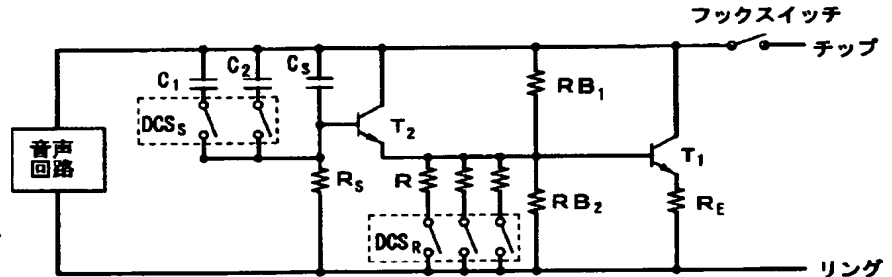
【図3】



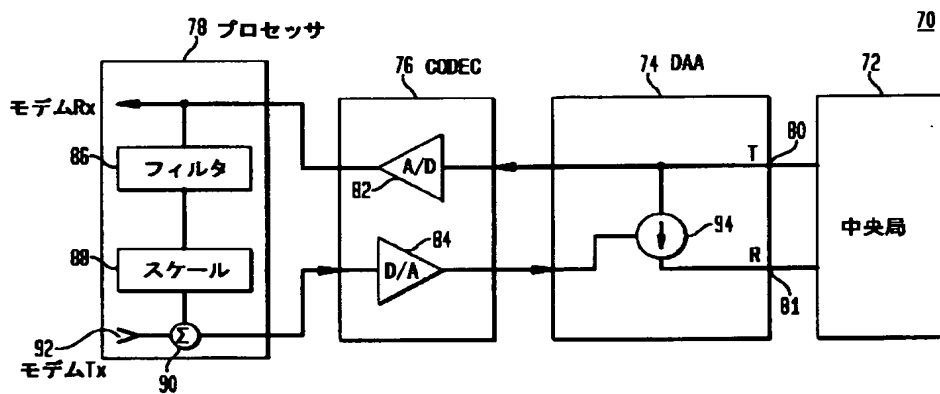
【図5】



【図6】



【図7】



フロントページの続き

(71)出願人 596077259

600 Mountain Avenue,
Murray Hill, New Je
rsey 07974-0636 U. S. A.(72)発明者 ドナルド レイモンド ラチュレル
アメリカ合衆国、18104 ペンシルバニア、
アレントウン、ハイサドル レーン 10

(72)発明者 レーン エー. スミス

アメリカ合衆国、18040 ペンシルバニア、
イーストン、シュイラー ドライブ 905(72)発明者 スティーブン ブルーク ウィットマー
アメリカ合衆国、19608 ペンシルバニア、
スプリング タウンシップ、ウィルシャイ
ア ブラバード 601